

PAT-NO: JP401135030A
DOCUMENT-IDENTIFIER: JP 01135030 A
TITLE: COMPOUND SEMICONDUCTOR DEVICE
PUBN-DATE: May 26, 1989

INVENTOR-INFORMATION:
NAME
UEDA, KAZUYOSHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP62293317
APPL-DATE: November 20, 1987

INT-CL (IPC): H01L021/52, H01L029/44 , H01L029/72 ,
H01L029/80

US-CL-CURRENT: 257/209

ABSTRACT:

PURPOSE: To prevent the quality of the title capacitor device from being deteriorated upon soldering the device to a packaging substrate by providing a metal layer or an insulating film on the surface of a conductive layer of a via hole so as to cover the whole surface of the same therewith, the insulating film or the metal layer being incompatible with a soldering material.

CONSTITUTION: A via hole 1a is provided such that it has an opening with its

cross section tapered from the back side of a GaAs substrate 1 corresponding to a source upper electrode layer 6 and makes contact, in its top surface, with the source upper electrode layer 6. An inner conductive layer 9a and a back electrode layer 9 both gold-plated are formed respectively on the inside surface of the via hole 1a and the back surface of the GaAs substrate 1. Thereupon, the back electrode layer 9 is electrically connected to the source upper electrode layer 6 on the surface through the inner conductive layer 9a on the via hole 1a. Finally, a TiN film 10 is formed as a metal layer incompatible with a soldering material, on the inner conductive layer 9a of the via hole 1a. As a metal layer incompatible with a soldering material Ti or any insulating film such as SiO₂, SiN films, instead thereof may be employed.

COPYRIGHT: (C)1989, JPO&Japio

⑫ 公開特許公報(A)

平1-135030

⑤ Int. Cl.⁴H 01 L 21/52
29/44
29/72
29/80

識別記号

庁内整理番号

A-8728-5F
B-7638-5F
8526-5F
U-8122-5F

⑬ 公開 平成1年(1989)5月26日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 化合物半導体装置

⑮ 特 願 昭62-293317

⑯ 出 願 昭62(1987)11月20日

⑰ 発 明 者 植 田 和 良 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

化合物半導体装置

2. 特許請求の範囲

半絶縁性基板の表面側に形成した表面電極層と、前記半絶縁性基板の裏面側に形成した裏面電極層と、前記半絶縁性基板を開孔してその内側面を導電層で覆い前記二つの表面及び裏面電極層間を電気的に接続するバイアホールとを有する化合物半導体装置において、前記バイアホールの前記導電層の表面に、該表面を覆ってはんだ材になじまない絶縁膜または金属層を設けたことを特徴とする化合物半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は化合物半導体装置に関する。

〔従来の技術〕

最近の半導体装置の高周波応用の普及に伴い、その信頼性の向上がますます重要となってきた。

従来のマイクロ波等の高周波用半導体装置としてGaAs等の化合物半導体を用いた電界効果トランジスタが多く使用されている。

この種の化合物半導体装置では、従来からその実装基板にはんだ付などで載置するに際すソース電極と実装基板側の接地電極との接続において、寄生インダクタンスによる高周波特性の低下をさける構造がとられていた。

すなわち、化合物半導体装置のソース電極層に対応する部分に半導体基板の裏面側から貫通穴(以下バイアホールという)を開孔し、このバイアホールを通してソース電極層を実装基板の接地電極層に電気的に接続する構造を採用していた。

第3図は従来の化合物半導体装置の一例の断面図である。

化合物半導体装置は、半絶縁性GaAs基板1とその上層の活性層2と、その上のショットキー接合のゲート電極3とソース及びドレインの各電極

4及び5と、それらの電極4, 5に接続するソース及びドレインの各上部電極層6及び7を含んで構成している。

半絶縁性 G_aAs 基板1の表面のソース上部電極層6に対応して G_aAs 基板1の裏面側にパイアホール1aを開孔し、このパイアホール1の内側面から G_aAs 基板1の裏面にわたって金めっきの裏面電極層9を形成し、内側導電層9aがソース上部電極層6と裏面電極層9を電気的に接続している。

〔発明が解決しようとする問題点〕

第4図は従来の問題点を説明するために示した実装基板に載置した化合物半導体装置の断面模式図である。

実装基板11の表面に半絶縁性 G_aAs 基板1の裏面電極層9をはんだ層12でろう付して化合物半導体を載置する。

この工程で、パイアホール1aの内側面にははんだ付着部2aに示すようにはんだ材が盛り上り、その冷却と凝縮時の機械的応力でパイアホールの

天床部の近傍の G_aAs 基板の薄い場所にクラック部13が生じ化合物半導体装置の品質が劣化する。

上述した従来の化合物半導体装置は、パイアホールの内側に導電層が露出して、実装基板に実装する場合のはんだ付着によりその固化時の機械的応力で半絶縁性基板の裏面側の薄い部分が破損するという問題があった。

本発明の目的は、実装基板にはんだ付する際に品質劣化のない化合物半導体装置を提供する事にある。

〔問題点を解決するための手段〕

本発明の化合物半導体装置は、半絶縁性基板の表面側に形成した表面電極層と、前記半絶縁性基板の裏面側に形成した裏面電極層と、前記半絶縁性基板を開孔してその内側面を導電層で覆い前記二つの表面及び裏面電極層間を電気的に接続するパイアホールとを有する化合物半導体装置において、前記パイアホールの前記導電層の表面に、該表面を覆ってはんだ材になじまない絶縁膜または金属層を設けて構成されている。

このとき、裏面電極層9はパイアホール1aの内側導電層9aを介して表面のソース上部電極層6に電気接続される。

このように従来と同様の方法で第1図(b)に示す半導体チップを製造する。

最後に、第1図(c)に示すように、パイアホール1aの内側導電層9aをはんだ材になじみ難い金属層として TiN 膜10を形成する。

第2図は本発明の効果を説明するために示した実装基板に載置した化合物半導体装置の断面模式図である。パイアホール1aの内側面の表面の TiN 膜は、はんだを付着しないので、はんだ層12の冷却時に半絶縁性 G_aAs 層1の上層部に熱による機械的応力がかからず、従ってパイアホール1aの天床部近傍にクラックの発生することはない。

本実施例では、はんだ材になじみ難い金属層として TiN を用いたが Ti でもよく、また金属層の代りに SiO_2 , Si_3N_4 膜等の絶縁膜を用いても良い。

〔発明の効果〕

以上説明したように本発明は、半絶縁性基板内

〔実施例〕

次に、本発明の実施例を図面を参照して説明する。

第1図(a)~(c)は本発明の一実施例を説明するための工程順に示した半導体チップの断面図である。

先ず、第1図(a)に示すように、半絶縁性 G_aAs 基板1に活性層2を形成し、この上にショットキ接合のゲート電極3とオーミック接触のソース及びドレインの各電極4及び5をそれぞれ形成する。そして、 G_aAs 基板1上にソース及びドレインの各電極4及び5に接続してソース及びドレインの上部電極層6及び7をそれぞれ形成する。

次にゲート電極3を保護膜8で被覆する。

次に、第1図(b)に示すように、ソース上部電極層6に対応して、 G_aAs 基板1の裏面側から断面テーパー状に開孔して天床がソース上部電極層6に接するパイアホール1aを設ける。

そして、このパイアホール1aの内側面及び G_aAs 基板1の裏面に金めっきの内側導電層9a及び裏面電極層9を形成する。

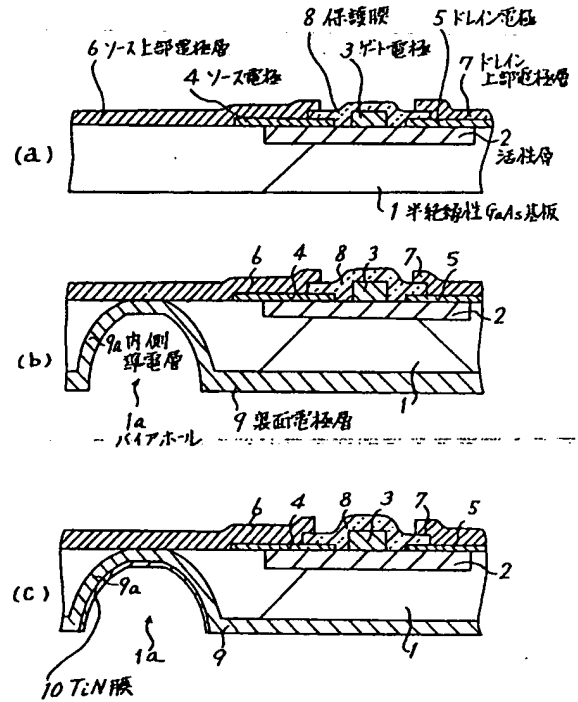
のパイアホールの導電層の表面にはんだ付性のよくない物質を設けることにより、実装基板にはんだ付する際に品質劣化のない化合物半導体装置が得られる。

4. 図面の簡単な説明

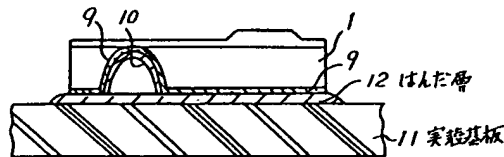
第1図(a)~(c)は本発明の一実施例を説明するための工程順に示した半導体チップの断面図、第2図は本発明の効果を説明するために示した実装基板に載置した化合物半導体装置の断面模式図、第3図は従来の化合物半導体装置の一例の断面図、第4図は従来の問題点を説明するために示した実装基板に載置した化合物半導体装置の断面模式図である。

1…半絶縁性GaAs基板、1a…パイアホール、6…ソース上部電極層、9…裏面電極層、9a…内側導電層、10…TiN膜。

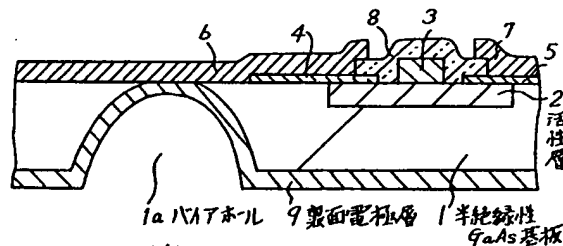
代理人 弁理士 内 原 晋



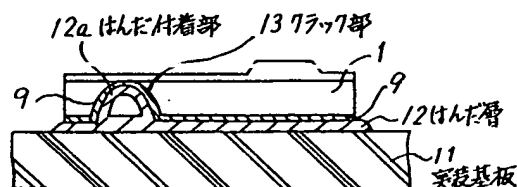
第 1 図



第 2 図



第 3 図



第 4 図